

PATENT
2080-3-184
Customer No: 035884

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
Seung Hyun Yi
Serial No:
Filed: Herewith
For: CIRCUIT FOR CORRECTING DUTY FACTOR
OF CLOCK SIGNAL

Art Unit:

Examiner:

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

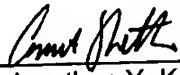
Enclosed herewith is a certified copy of Korean patent application No. 10-2002-63678 which was filed on October 18, 2002, and from which priority is claimed under 35 U.S.C. Section 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: October 17, 2003

By: _____


Jonathan Y. Kang
Registration No. 38,199
F. Jason Far-Hadian
Registration No. 42,523
Amit Sheth
Registration No. 50,176
Attorney for Applicant(s)

LEE, HONG, DEGERMAN, KANG & SCHMADEKA
801 S. Figueroa Street, 14th Floor
Los Angeles, California 90017
Telephone: (213) 623-2221
Facsimile: (213) 623-2211

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

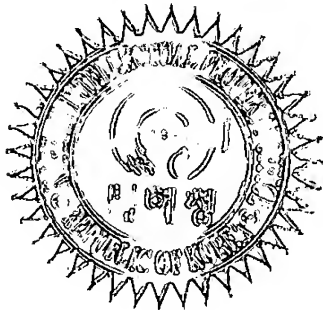
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0063678
Application Number

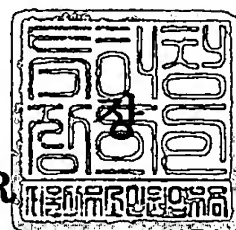
출원년월일 : 2002년 10월 18일
Date of Application OCT 18, 2002

출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2003 년 08 월 05 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 10. 18
【국제특허분류】	H03L
【발명의 명칭】	이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로
【발명의 영문명칭】	Circuit for correcting duty factor of clock signal using a couple of delay loops
【출원인】	
【명칭】	엘지전자주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	정종옥
【대리인코드】	9-2001-000008-4
【포괄위임등록번호】	2002-027607-6
【대리인】	
【성명】	조담
【대리인코드】	9-1998-000546-2
【포괄위임등록번호】	2002-027605-1
【발명자】	
【성명의 국문표기】	이승현
【성명의 영문표기】	YI, SEUNG HYUN
【주민등록번호】	730101-1927234
【우편번호】	480-020
【주소】	경기도 의정부시 호원동 우성1차아파트 102동 1001호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정종옥 (인) 대리인 조담 (인)

1020020063678

출력 일자: 2003/8/6

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	5	항	269,000	원
【합계】	298,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

디지털 방식으로 클럭신호의 듀티 팩터(duty factor)가 정확히 50%로 되도록 보상하고, 회로의 구성이 간단함은 물론 제조가 용이하며, 여러 종류의 응용회로에 간단히 적용시킬 수 있다.

듀티 팩터를 보상할 입력 클럭신호와 듀티 팩터가 50%로 되도록 보상된 보상 클럭신호의 위상차를 검출하여 시프트 제어신호를 발생하는 위상 비교기와, 상기 위상 비교기의 시프트 제어신호에 따라 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치에 따라 설정되는 소정시간을 지연시켜 180°클럭발생 제어신호를 발생함과 아울러 그 소정시간의 2배 시간만큼 상기 클럭발생 기준신호를 지연시켜 360°클럭발생 제어신호를 발생하는 제어신호 발생부와, 상기 제어신호 발생부가 발생한 180°클럭발생 제어신호 및 360°클럭발생 제어신호에 따라 상기 입력 클럭신호와 동기되고 듀티 팩터가 50%인 클럭신호를 생성하는 클럭신호 생성부로 구성된다.

【대표도】

도 1

【색인어】

클럭신호, 듀티 팩터, 보상, 이중지연, 지연루프

【명세서】**【발명의 명칭】**

이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로{Circuit for correcting duty factor of clock signal using a couple of delay loops}

【도면의 간단한 설명】

도 1은 본 발명의 클럭신호의 듀티 팩터 보상회로를 보인 블록도이고,

도 2는 도 1의 제어신호 발생부의 상세 구성을 보인 도면이며,

도 3은 도 1의 클럭신호 생성부의 상세 구성을 보인 도면이며,

도 4는 도 3의 제 1 및 제 2 펄스신호 발생기의 구성을 보인 도면이다.

* 도면의 주요 부분에 대한 부호의 설명 *

100 : 위상 비교기

200 : 제어신호 발생부

210 : 시프트 레지스터

220 : 동기 출력부

230, 240 : 제 1 및 제 2 지연 루프 231, 241 : 복수의 제 1 및 제 2 지연기

300 : 클럭신호 생성부

310 : 보상 지연기

320 : 제 1 펄스신호 발생기

330 : 제 2 펄스신호 발생기

340 : 클럭신호 발생부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 입력 클럭신호의 듀티 팩터(duty factor)를 정확히 50%가 되도록 보상하는 클럭신호의 듀티 팩터 보상회로에 관한 것으로 특히 소정의 지연시간을 가지는 하나의 지연루프와, 그 하나의 지연루프의 2배 지연시간을 가지는 다른 하나의 지연루프를 이용하여 듀티 팩터가 정확하게 50%가 되도록 클럭신호를 보상하는 이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로에 관한 것이다.
- <13> 일반적으로 VLSI(Very Large Scale Integration) 등을 비롯하여 소정의 동작을 수행하는 응용회로를 클럭신호에 따라 동작시킬 경우에 그 클럭신호가 응용회로의 내부를 통과하면서 듀티 팩터가 정확하게 50%를 유지하지 못하고, 변동되는 경우가 발생한다.
- <14> 상기 듀티 팩터는 클럭신호의 고전위 시간을 클럭신호의 주기로 나눈 값으로서 듀티 팩터가 정확하게 50%를 유지하지 못할 경우에, 클럭신호의 상승 에지 및 하강 에지에서 모두 동작하는 응용회로는 그 상승 에지 및 하강 에지에 따라 동작하면서 발생하는 소정 신호가 정확한 위치에서 발생되지 않고, 이로 인하여 응용회로가 오동작을 하게 되므로 클럭신호의 듀티 팩터가 변동되었을 경우에 듀티 팩터가 정확히 50%로 되도록 보상해야 된다.
- <15> 클럭신호의 듀티 팩터가 정확히 50%로 되도록 보상하는 보상회로는 여러 가지가 알려져 있다. 그러나 이들 대부분의 보상회로는 아날로그 방식으로 클럭신호의 듀티 팩터를 보상하는 것으로 회로의 구성이 복잡하고, 아날로그 소자들의 정밀한 값이 요구되어 제조 공정이 매우

어려우며, 또한 보상회로가 적용되는 응용회로에 따라 그에 적합한 보상회로를 설계해야 되는 등의 여러 가지 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <16> 그러므로 본 발명의 목적은 디지털 방식으로 클럭신호의 듀티 팩터가 정확히 50%로 되도록 보상하는 이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로를 제공하는데 있다.
- <17> 본 발명의 다른 목적은 회로의 구성이 간단하고, 제조가 용이한 이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로를 제공하는데 있다.
- <18> 본 발명의 또 다른 목적은 여러 종류의 응용회로에 간단히 적용시켜 클럭신호의 듀티 팩터를 정확하게 50%가 되도록 보상하는 이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로를 제공하는데 있다.
- <19> 이러한 목적을 가지는 본 발명의 이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로는, 듀티 팩터를 보상할 입력 클럭신호와 듀티 팩터가 50%로 되도록 보상된 보상 클럭신호의 위상차를 검출하여 시프트 제어신호를 발생하는 위상 비교기와, 상기 위상 비교기의 시프트 제어신호에 따라 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치에 따라 설정되는 소정시간을 지연시켜 180°클럭발생 제어신호를 발생함과 아울러 그 소정시간의 2배 시간만큼 상기 클럭발생 기준신호를 지연시켜 360°클럭발생 제어신호를 발생하는 제어신호 발생부와, 상기 제어신호 발생부가 발생한 180°클럭발생 제어신호 및 360°클럭발생 제어신호에 따라 상기 입력 클럭신호와 동기되고 듀티 팩터가 50%인 클럭신호를 생성하는 클럭신호 생성부로 구성되는 것을 특징으로 한다.

- <20> 상기 제어신호 발생부는, 하나의 고전위를 클럭발생 기준신호로 미리 저장하여 두고 상기 시프트 제어신호에 따라 좌우로 시프트시키는 시프트 레지스터와, 상기 시프트 레지스터가 출력하는 클럭발생 기준신호를 입력 클럭신호에 동기로 통과시키는 동기 출력부와, 상기 동기 출력부가 출력하는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정시간을 지연시켜 180° 의 클럭발생 위상신호로 발생하는 제 1 지연루프와, 상기 동기 출력부가 출력하는 클럭발생 기준신호를, 상기 제 1 지연루프의 2배 시간을 지연시켜 360° 의 클럭발생 위상신호로 발생하는 제 2 지연루프를 구비하고, 상기 제 1 및 제 2 지연루프들 각각은, 상기 동기 출력부의 복수의 출력단자의 사이에, 미리 설정된 단위 시간의 1배 및 2배의 시간을 각기 지연시키는 복수의 지연기를 각기 구비하는 것을 특징으로 한다.
- <21> 상기 클럭신호 생성부는, 상기 360° 클럭발생 제어신호를 지연시키는 보상 지연기와, 상기 보상 지연기에서 지연된 360° 클럭발생 제어신호에 따라 펄스신호를 발생하는 제 1 펄스신호 발생기와, 상기 180° 의 클럭발생 제어신호에 따라 펄스신호를 발생하는 제 2 펄스신호 발생기와, 상기 제 1 펄스신호 발생기 및 제 2 펄스신호 발생기가 발생한 펄스신호에 따라 360° 및 180° 의 위상을 가지는 클럭신호를 발생하는 클럭신호 발생부로 구성되고, 상기 보상 지연기의 지연시간은, 상기 제 1 및 제 2 펄스신호 발생기가 펄스신호를 각기 발생하고 그 발생한 펄스신호에 따라 상기 클럭신호 발생부가 360° 및 180° 의 위상을 가지는 클럭신호를 발생할 때까지 소요되는 시간으로 설정한다.
- <22> 상기 클럭신호 발생부는, 전원단자와 접지의 사이에 피모스 트랜지스터 및 엔모스 트랜지스터가 직렬 접속되어 피모스 트랜지스터의 게이트에는 상기 제 1 펄스신호 발생기의 출력단자가 인버터를 통해 접속되고, 엔모스 트랜지스터의 게이트에는 상기 제 2 펄스신호 발생기의 출력단자가 접속되며, 상기 피모스 트랜지스터 및 엔모스 트랜지스터의 접속점은 래치를 통해

인버터에 접속되어 인버터의 출력단자에서 보상 클럭신호가 출력되게 구성되고, 상기 제 1 및 제 2 펄스신호 발생기는, 입력신호를 반전 및 소정시간 지연시키는 복수의 지연용 인버터와, 상기 입력신호 및 상기 복수의 지연용 인버터의 출력신호를 반전 논리곱하는 낸드 게이트와, 상기 낸드 게이트의 출력신호를 반전시키는 인버터로 구성됨을 특징으로 한다.

【발명의 구성 및 작용】

- <23> 이하, 첨부된 도면을 참조하여 본 발명의 이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로를 상세히 설명한다.
- <24> 도 1은 본 발명의 클럭신호의 듀티 팩터 보상회로를 보인 블록도이다. 이에 도시된 바와 같이 듀티 팩터를 보상할 입력 클럭신호(ICLK)와 본 발명에 따라 듀티 팩터가 50%로 되도록 보상된 보상 클럭신호(OCLK)의 위상차를 검출하여 시프트 제어신호(SHL, SHR)를 선택적으로 발생하는 위상 비교기(100)와, 상기 위상 비교기(100)의 시프트 제어신호(SHL, SHR)에 따라 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치에 따라 설정되는 소정시간을 지연시켜 180°클럭발생 제어신호(OUT180)를 발생함과 아울러 그 소정시간의 2배 시간만큼 클럭발생 기준신호를 지연시켜 360°클럭발생 제어신호(OUT360)를 발생하는 제어신호 발생부(200)와, 상기 제어신호 발생부(200)가 발생한 180°클럭발생 제어신호(OUT180) 및 360°클럭발생 제어신호(OUT360)에 따라 상기 입력 클럭신호(ICLK)와 동기되고 듀티 팩터가 50%인 클럭신호를 생성하는 클럭신호 생성부(300)로 구성된다.
- <25> 상기 제어신호 발생부(200)는, 도 2에 도시된 바와 같이 하나의 고전위를 클럭발생 기준신호로 미리 저장하여 두고 상기 시프트 제어신호(SHL, SHR)에 따라 좌우로 시프트시키는 시프트 레지스터(210)와, 상기 시프트 레지스터(210)가 출력하는 클럭발생 기준신호를 입력 클럭신호(ICLK)에 동기되 복수의 낸드 게이트(NAND1~NANDn)가 반전 및 통과시키는 동기 출력부(220)

와, 상기 동기 출력부(220)가 출력하는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정시간의 1배 및 2배씩 각기 지연시켜 클럭발생 위상신호(OUT180, OUT360)를 발생하는 제 1 및 제 2 지연루프(230, 240)를 구비한다.

<26> 상기 제 1 및 제 2 지연루프(230, 240)는, 상기 동기 출력부(220)의 복수의 출력단자의 사이에 단위시간의 1배 및 2배의 시간을 지연시키는 복수의 제 1 및 제 2 지연기(231)(241)를 각기 구비한다.

<27> 상기 클럭신호 생성부(300)는, 도 3에 도시된 바와 같이 상기 360°클럭발생 제어신호(OUT360)를 지연시키는 보상 지연기(310)와, 상기 보상 지연기(310)에서 지연된 360° 클럭발생 제어신호(OUT360)에 따라 펄스신호를 발생하는 제 1 펄스신호 발생기(320)와, 상기 180°의 클럭발생 제어신호(OUT180)에 따라 펄스신호를 발생하는 제 2 펄스신호 발생기(330)와, 상기 제 1 펄스신호 발생기(320) 및 제 2 펄스신호 발생기(330)가 발생한 펄스신호에 따라 360° 및 180°의 위상을 가지는 클럭신호를 발생하는 클럭신호 발생부(340)로 구성된다.

<28> 상기 클럭신호 발생부(340)는, 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM) 및 엔모스 트랜지스터(NM)가 직렬 접속되어 피모스 트랜지스터(PM)의 게이트에는 상기 제 1 펄스신호 발생기(320)의 출력단자가 인버터(INV1)를 통해 접속되고, 엔모스 트랜지스터(NM)의 게이트에는 상기 제 2 펄스신호 발생기(330)의 출력단자가 접속된다. 그리고 상기 피모스 트랜지스터(PM) 및 엔모스 트랜지스터(NM)의 접속점은 래치로 동작하는 인버터(INV2, INV3)를 통해 인버터(INV4)에 접속되어 인버터(INV4)의 출력단자에서 보상 클럭신호(OCLK)가 출력되게 구성된다.

- <29> 상기 제 1 및 제 2 펄스신호 발생기(330)는, 도 4에 도시된 바와 같이 상기 보상 지연기(310)의 출력단자 또는 상기 제어신호 발생부(200)의 180° 클럭발생 제어신호(OUT180)를 출력하는 출력단자가 낸드 게이트(NAND10)의 일측 입력단자에 접속됨과 아울러 복수의 지연용 인버터(INV11, INV12, INV13)를 순차적으로 통해 낸드 게이트(NAND10)의 타측 입력단자에 접속되고, 낸드 게이트(NAND10)의 출력단자는 인버터(INV14)의 입력단자에 접속되어 인버터(INV14)의 출력단자에서 펄스신호가 출력되게 구성된다.
- <30> 이와 같이 구성된 본 발명의 클럭신호의 듀티 팩터 보상회로는 위상 비교기(100)가 듀티 팩터를 보상할 입력 클럭신호(ICLK)와 본 발명에 의하여 듀티 팩터가 50%로 되도록 보상된 보상 클럭신호(OCLK)를 입력받아 위상차를 검출하고, 검출한 위상차에 따라 시프트 제어신호(SHL, SHR)를 선택적으로 출력하여 제어신호 발생부(200)로 입력된다. 예를 들면, 입력 클럭신호(ICLK)보다 보상 클럭신호(OCLK)의 위상이 빠를 경우에 좌측 시프트를 명령하는 시프트 제어신호(SHL)를 출력하고, 입력 클럭신호(ICLK)보다 보상 클럭신호(OCLK)의 위상이 느릴 경우에 우측 시프트를 명령하는 시프트 제어신호(SHR)를 출력하여 제어신호 발생부(200)로 입력된다.
- <31> 상기 제어신호 발생부(210)는, 미리 시프트 레지스터(210)의 하나의 출력단자에 고전위의 클럭발생 기준신호를 저장하고, 다른 출력단자에는 모두 저전위를 저장하는 것으로서 상기 위상 비교기(100)가 선택적으로 출력하는 시프트 제어신호(SHL, SHR)에 따라 상기 고전위의 클럭발생 기준신호를 좌측 또는 우측으로 시프트시켜 출력단자로 출력하게 된다.
- <32> 이와 같은 상태에서 입력 클럭신호(ICLK)가 입력되면, 그 입력 클럭신호(ICLK)에 따라 동기 출력부(220)의 낸드 게이트(NAND1~NANDn)들 중에서 하나가 상기 고전위의 클럭발생 기준신호를 저전위로 반전시켜 출력하게 되고, 그 출력한 클럭발생 기준신호는 제 1 및 제 2 지연루프(230, 240)의 복수의 제 1 및 제 2 지연기(231, 241)에서, 그 클럭발생 기준신호가 시프트

된 위치에 따라 설정되는 소정시간의 1배 및 2배씩 각기 지연되어 180°의 클럭발생 위상신호(OUT180)와, 360°의 클럭발생 제어신호(OUT360)로 출력된다.

<3> 예를 들면, 시프트 레지스터(210)의 출력단자(Q1)에서 클럭발생 기준신호가 출력된다고 가정할 경우에 그 클럭발생 기준신호는 낸드 게이트(NAND1)를 통해 반전 출력된 후 제 1 지연루프(230)의 하나의 제 1 지연기(231)를 통해 지연되어 180°클럭발생 제어신호(OUT180)로 출력됨과 아울러 제 1 지연기(231)의 2배 지연시간을 가지는 제 2 지연루프(240)의 하나의 제 2 지연기(241)를 통해 지연되어 360°클럭발생 제어신호(OUT360)로 출력된다. 그리고 시프트 레지스터(210)의 출력단자(Q2)에서 클럭발생 기준신호가 출력된다고 가정할 경우에 그 클럭발생 기준신호는 낸드 게이트(NAND2)를 통해 반전 출력된 후 제 1 지연루프(230)의 두 개의 제 1 지연기(231)를 통해 순차적으로 지연되어 180°클럭발생 제어신호(OUT180)로 출력됨과 아울러 제 2 지연루프(240)의 두 개의 제 2 지연기(241)를 통해 순차적으로 지연되어 360° 클럭발생 제어신호(OUT360)로 출력되며, 시프트 레지스터(210)의 출력단자(Qn)에서 클럭발생 기준신호가 출력된다고 가정할 경우에 그 클럭발생 기준신호는 낸드 게이트(NANDn)를 통해 반전 출력된 후 제 1 지연루프(230)의 n 개의 제 1 지연기(231)를 통해 순차적으로 지연되어 180°클럭발생 제어신호(OUT180)로 출력됨과 아울러 제 2 지연루프(240)의 n 개의 제 2 지연기(241)를 통해 순차적으로 지연되어 360°클럭발생 제어신호(OUT360)로 출력되는 것으로서 제어신호 발생부(200)는 시프트 레지스터(210)가 클럭발생 기준신호를 시프트시킨 위치에 따라 설정되는 제 1 지연루프(230)의 복수의 제 1 지연기(231)를 통해 클럭발생 기준신호를 지연시켜 180°클럭발생 제어신호(OUT180)를 출력함과 아울러 그 180°클럭발생 제어신호(OUT180)의 지연시간이 비하여 2배 시간만큼 제 2 지연루프(240)의 복수의 제 2 지연기(241)를 통해 클럭발생 기준신호를 지연시켜 360°클럭발생 제어신호(OUT360)를 출력한다.

- <34> 상기 제어신호 발생부(200)가 출력하는 360°클럭발생 제어신호(OUT360)는 클럭신호 생성부(300)의 보상 지연기(310)에서 소정시간동안 지연된 후 제 1 펄스신호 발생기(320)로 입력되고, 180°클럭발생 제어신호(OUT180)는 제 2 펄스신호 발생기(330)로 입력된다.
- <35> 여기서, 상기 보상지연기(310)는, 후술하는 바와 같이 클럭발생 위상신호 생성부(200)의 제 1 및 제 2 펄스신호 발생부(320, 330)가 클럭발생 위상신호(OUT360, OUT180)에 따라 각기 펄스신호를 발생하고 그 발생한 펄스신호에 따라 클럭신호 출력부(380)가 출력 클럭신호(OCLK)를 발생할 때까지 소요되는 시간의 1배를 지연시키게 지연시간이 설정된다.
- <36> 상기 제 1 및 제 2 펄스신호 발생기(320)(330)는, 제 1 및 제 2 펄스신호 발생부(320, 330)로부터 각기 입력되는 360°클럭발생 제어신호(OUT360) 및 180°클럭발생 제어신호(OUT180)가 낸드 게이트(NAND10)의 일측 입력단자에 인가됨과 아울러 복수의 지연용 인버터(INV11~INV13)를 순차적으로 통해 지연 및 반전되어 낸드 게이트(NAND10)의 타측 입력단자에 인가되므로 낸드 게이트(NAND10)는 소정 폭의 저전위 펄스신호를 발생하고, 그 발생한 저전위 펄스신호는 인버터(INV14)를 통해 고전위 펄스신호로 반전되어 출력된다.
- <37> 상기 제 1 클럭신호 발생기(320)가 360°클럭발생 제어신호(OUT360)에 따라 발생시킨 고전위의 펄스신호는 클럭신호 발생부(340)의 인버터(INV1)를 통해 저전위로 반전된 후 피모스 트랜지스터(PM)의 게이트에 인가되므로 피모스 트랜지스터(PM)가 도통상태로 되고, 전원단자(Vdd)의 전원인 고전위가 피모스 트랜지스터(PM)를 통하고, 인버터(INV2, INV3)로 이루어진 래치에 반전 및 저장된 후 인버터(INV4)를 통해 다시 반전되어 출력된다.
- <38> 그리고 상기 제 2 클럭신호 발생기(330)가 180°클럭발생 제어신호(OUT180)에 따라 발생시킨 고전위의 펄스신호는 클럭신호 발생부(340)의 엔모스 트랜지스터(NM)의 게이트에 인가되므로 엔모스 트랜지스터(NM)가 도통상태로 되고, 상기 인버터(INV2, INV3)로 이루어진 래치에

저장된 신호가 엔모스 트랜지스터(NM)를 통해 접지로 흐르면서 래치가 고전위를 출력하게 되며, 그 출력한 고전위는 인버터(INV4)를 통해 저전위로 반전되어 출력되는 것으로서 클럭신호 발생부(340)는 상기 360°클럭발생 제어신호(OUT360)에 따라 고전위로 되고, 상기 180°클럭발생 제어신호(OUT180)에 따라 저전위로 되는 보상 클럭신호(OCLK)를 출력하게 된다.

<39> 여기서, 상기 클럭신호 발생부(340)가 발생하는 보상 클럭신호(OCLK)는 위상 비교기(100)에 입력시켜 입력 클럭신호(ICLK)와 위상을 비교하고, 위상 비교 결과에 따라 제어신호 발생부(200)의 시프트 레지스터(210)에 저장된 지연 값인 하나의 고전위를 시프트시키면서 360°클럭발생 제어신호(OUT360)를 발생시키며, 그 발생시킨 360°클럭발생 제어신호(OUT360)에 따라 클럭신호 발생부(340)가 보상 클럭신호(OCLK)의 360°를 설정하므로 보상 클럭신호(OCLK)의 360°는 입력 클럭신호(ICLK)의 360° 위치와 정확하게 일치하게 된다.

<40> 그리고 상기 360°클럭발생 제어신호(OUT360)는 클럭발생 위상신호 생성부(200)의 동기 출력부(220)에서 출력되는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정 시간의 2배 시간을 제 2 지연루프(240)의 복수의 제 2 지연기(241)가 지연시켜 생성하는 것이고, 180°클럭발생 제어신호(OUT180)는 상기와 동일한 클럭발생 기준신호를, 상기 제 2 지연기(241)에 비하여 지연시간이 1/2이고 동일한 개수의 제 1 지연루프(230)의 제 1 지연기(231)가 순차적으로 지연시켜 발생시키는 것이므로 제어신호 발생부(210)가 발생하는 180°클럭발생 제어신호(OUT180)는 정확히 360°클럭발생 제어신호(OUT360)의 1/2 지연시간을 갖게 된다.

<41> 또한 상기 제어신호 발생부(210)가 발생하는 360°클럭발생 제어신호(OUT360) 및 180°클럭발생 제어신호(OUT180)에 따라 제 1 및 제 2 펄스신호 발생기(320)(330)가 각기 펄스신호를

발생하고 그 제 1 및 제 2 펄스신호 발생기(320)(330)가 발생한 펄스신호에 따라 클럭신호 발생부(340)가 클럭신호의 360° 및 180° 위상을 설정할 때까지 소요되는 지연시간은 동일하다.

<42> 여기서, 상기 제 1 및 제 2 펄스신호 발생기(320)(330)와 클럭신호 발생부(340)의 지연 시간만큼 보상 지연기(310)가 360° 클럭발생 제어신호(OUT360)를 지연시키도록 설정한다.

<43> 그러면, 제어신호 발생부(200)가 출력하는 180° 클럭발생 제어신호(OUT180)에 따라 클럭신호 발생부(340)가 클럭신호의 180° 위상을 설정할 때까지 소요되는 지연시간은 제어신호 발생부(200)가 출력하는 360° 클럭발생 제어신호(OUT360)에 따라 클럭신호 발생부(340)가 클럭신호의 360° 위상을 설정할 때까지 소요되는 지연시간의 $1/2$ 이므로 클럭신호 생성부(300)는 입력 클럭신호(ICLK)와 위상이 정확하게 일치되고, 또한 듀티 팩터가 정확하게 50%인 보상 클럭신호(OCLK)를 생성하게 된다.

<44> 한편, 상기에서는 본 발명을 특정의 바람직한 실시 예에 관련하여 도시하고 설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있다.

【발명의 효과】

<45> 이상에서 설명한 바와 같이 본 발명은 복수의 제 1 지연기 및 제 2 지연기를 이용하여 입력 클럭신호와 정확히 위상이 일치하고 듀티 팩터가 50%인 보상 클럭신호를 생성하는 것으로서 회로의 구성이 간단하고, 제조가 용이함은 물론 여러 종류의 응용회로에 간단히 적용시켜 사용할 수 있다.

【특허청구범위】**【청구항 1】**

듀티 팩터를 보상할 입력 클럭신호와 듀티 팩터가 50%로 되도록 보상된 보상 클럭신호의 위상차를 검출하여 시프트 제어신호를 발생하는 위상 비교기;

상기 위상 비교기의 시프트 제어신호에 따라 하나의 클럭발생 기준신호를 좌우로 시프트시키고 그 클럭발생 기준신호를 시프트시킨 위치에 따라 설정되는 소정시간을 지연시켜 180° 및 360°클럭발생 제어신호를 발생하는 제어신호 발생부; 및

상기 제어신호 발생부가 발생한 180° 및 360°클럭발생 제어신호에 따라 상기 입력 클럭신호와 동기되고 듀티 팩터가 50%인 클럭신호를 생성하는 클럭신호 생성부로 구성된 이중지연루프를 이용한 클럭신호의 듀티 팩터 보상회로.

【청구항 2】

제 1 항에 있어서, 상기 제어신호 발생부는;

하나의 고전위를 클럭발생 기준신호로 미리 저장하여 두고 상기 시프트 제어신호에 따라 좌우로 시프트시키는 시프트 레지스터;

상기 시프트 레지스터가 출력하는 클럭발생 기준신호를 입력 클럭신호에 동기로 통과시키는 동기 출력부;

상기 동기 출력부가 출력하는 클럭발생 기준신호를, 그 클럭발생 기준신호가 시프트된 위치에 따라 설정되는 소정시간을 지연시켜 180°의 클럭발생 위상신호로 발생하는 제 1 지연루프; 및

상기 동기 출력부가 출력하는 클럭발생 기준신호를, 상기 제 1 지연루프의 2배 시간을 지연시켜 360° 의 클럭발생 위상신호로 발생하는 제 2 지연루프로 구성됨을 특징으로 하는 이중 지연루프를 이용한 클럭신호의 듀티 팩터 보상회로.

【청구항 3】

제 2 항에 있어서, 상기 제 1 및 제 2 지연루프들 각각은;

상기 동기 출력부의 복수의 출력단자의 사이에, 미리 설정된 단위 시간의 1배 및 2배의 시간을 각기 지연시키는 복수의 지연기를 각기 구비하는 것을 특징으로 하는 클럭신호 생성회로.

【청구항 4】

제 1 항에 있어서, 상기 클럭신호 생성부는;

상기 360° 클럭발생 제어신호를 지연시키는 보상 지연기;

상기 보상 지연기에서 지연된 360° 클럭발생 제어신호에 따라 펄스신호를 발생하는 제 1 펄스신호 발생기;

상기 180° 의 클럭발생 제어신호에 따라 펄스신호를 발생하는 제 2 펄스신호 발생기;

상기 제 1 펄스신호 발생기 및 제 2 펄스신호 발생기가 발생한 펄스신호에 따라 360° 및 180° 의 위상을 가지는 클럭신호를 발생하는 클럭신호 발생부로 구성됨을 특징으로 하는 이중지연루프를 이용한 클럭신호의 듀티 팩터 보상회로.

【청구항 5】

제 4 항에 있어서, 상기 보상 지연기의 지연시간은;



1020020063678

출력 일자: 2003/8/6

상기 제 1 및 제 2 펄스신호 발생기가 펄스신호를 각기 발생하고 그 발생한 펄스신호에 따라 상기 클럭신호 발생부가 360° 및 180° 의 위상을 가지는 클럭신호를 발생할 때까지 소요되는 시간인 것을 특징으로 하는 이중자연루프를 이용한 클럭신호의 듀티 팩터 보상회로.

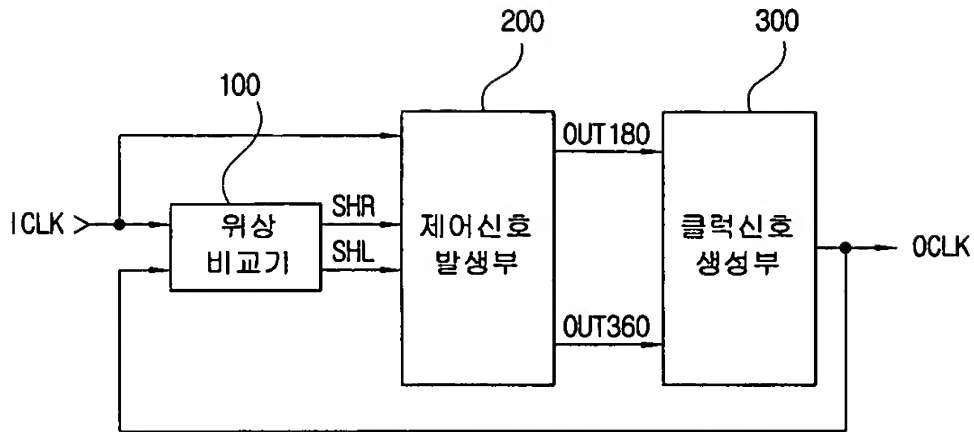


1020020063678

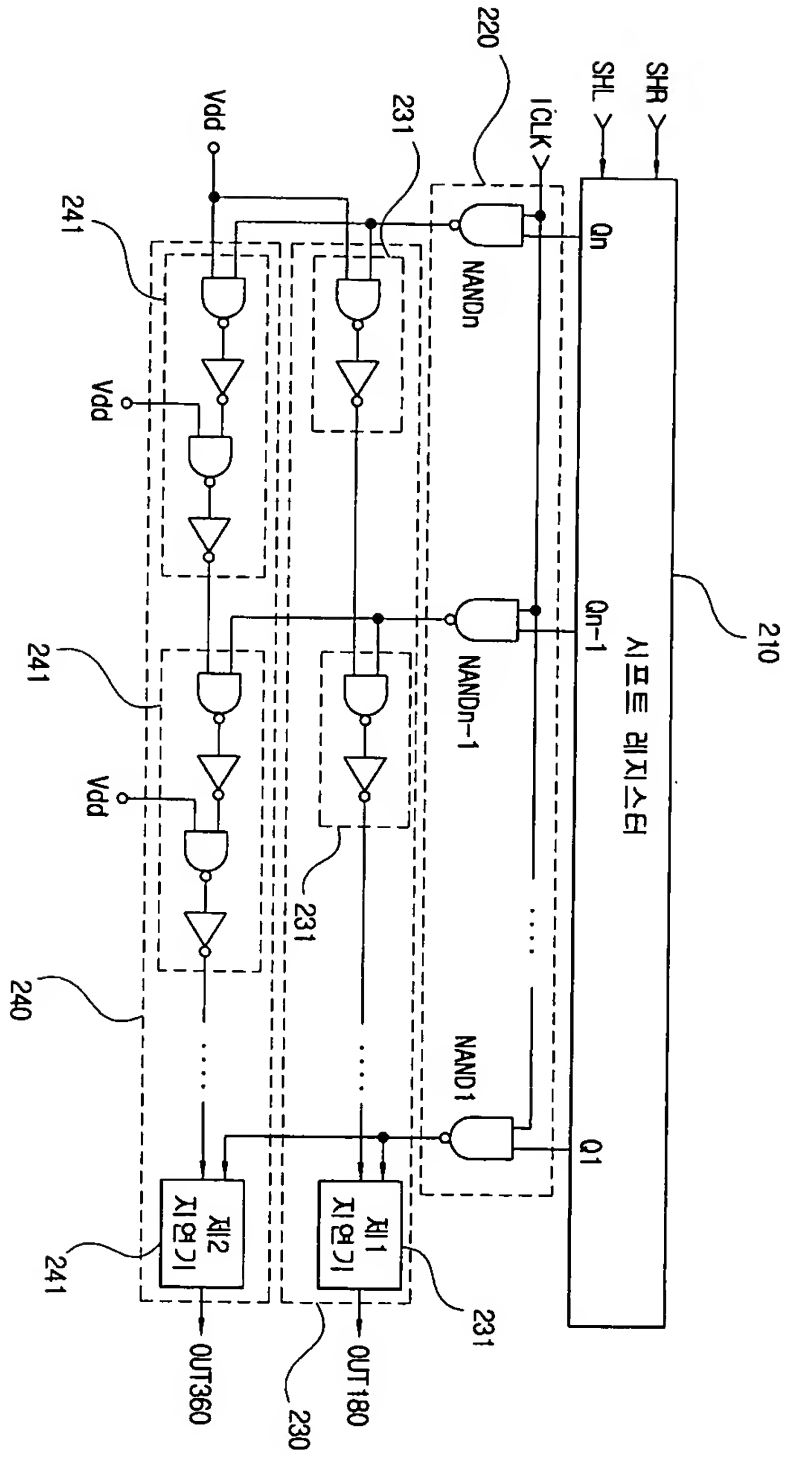
출력 일자: 2003/8/6

【도면】

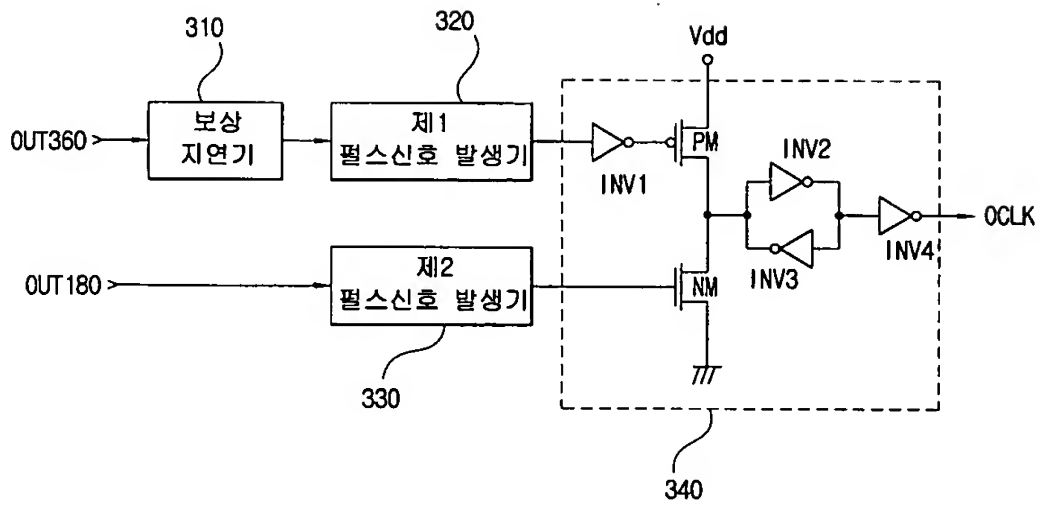
【도 1】



【도 2】



【도 3】



【도 4】

